

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshiyuki UETAKE**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 7, 2003**

For: **SEMICONDUCTOR STORAGE DEVICE WITH SIGNAL WIRING LINES RMED
ABOVE MEMORY CELLS**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 7, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-198677, filed July 8, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

William L. Brooks

William L. Brooks

Attorney for Applicant

Reg. No. 34,129

WLB/jaz
Atty. Docket No. **030705**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 8日

出 願 番 号

Application Number:

特願2002-198677

[ST.10/C]:

[JP2002-198677]

出 願 人

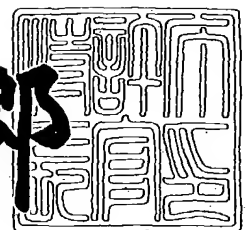
Applicant(s):

富士通株式会社

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3004671

【書類名】 特許願

【整理番号】 0141608

【提出日】 平成14年 7月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/20

【発明の名称】 半導体記憶装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 植竹 俊行

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 半導体基板の表面上に形成された複数のメモリセルと、

前記半導体基板の表面上に形成された複数のワード線であって、該ワード線の各々が複数のメモリセルに接続され、選択信号が印加されると、接続されているメモリセルを選択するワード線と、

前記ワード線の配置された第1の配線層よりも上の第2の配線層に配置され、前記ワード線と交差する方向に延在する複数のビット線であって、複数のメモリセルのうち一部のメモリセルに接続され、前記ワード線によって選択されたメモリセルから読み出された信号が印加されるビット線と、

前記第2の配線層よりも上の第3の配線層に配置され、前記ビット線と部分的に重なる信号配線と、

前記第2の配線層と前記第3の配線層との間の第4の配線層に配置され、前記半導体基板の表面に垂直な視線で見たとき、前記ビット線と前記信号配線との重なる部分を含む第1の領域内において、前記ビット線を内包し、該ビット線の配置されていない領域に開口が設けられた導電性のシールド層とを有する半導体記憶装置。

【請求項2】 前記開口が、前記信号配線と重ならない位置に配置されている請求項1に記載の半導体記憶装置。

【請求項3】 さらに、前記半導体基板の上に形成された電源配線及び接地配線を有し、前記シールド層が、前記電源配線または前記接地配線に接続されている請求項1または2に記載の半導体記憶装置。

【請求項4】 さらに、前記半導体基板の上に、一定の電圧を発生する定電圧回路が形成されており、前記シールド層に前記定電圧回路から一定の電圧が印加される請求項1または2に記載の半導体記憶装置。

【請求項5】 半導体基板の表面上に形成された複数のメモリセルと、

前記半導体基板の表面上に形成された複数のワード線であって、該ワード線の各々が複数のメモリセルに接続され、選択信号が印加されると、接続されている

メモリセルを選択するワード線と、

前記ワード線の配置された第 1 の配線層よりも上の第 2 の配線層に配置され、前記ワード線と交差する方向に延在する複数のビット線であって、複数のメモリセルのうち一部のメモリセルに接続され、前記ワード線によって選択されたメモリセルから読み出された信号が印加されるビット線と、

前記第 2 の配線層よりも上の第 3 の配線層に配置され、前記ビット線と交差する複数の信号配線と、

前記第 2 の配線層と前記第 3 の配線層との間の第 4 の配線層に、前記信号配線の各々に対応して配置され、半導体基板の表面に垂直な視線で見たとき、対応する前記信号配線を内包する導電性のシールド線と

を有する半導体記憶装置。

【請求項 6】 さらに、前記半導体基板の上に形成された電源配線及び接地配線を有し、前記シールド線が、前記電源配線または前記接地配線に接続されている請求項 5 に記載の半導体記憶装置。

【請求項 7】 さらに、前記半導体基板の上に、一定の電圧を発生する定電圧回路が形成されており、前記シールド線に前記定電圧回路から一定の電圧が印加される請求項 5 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特にメモリセルの配置された領域上を信号配線が通過する半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置のメモリセルから読み出された信号が印加されるビット線の上に、信号配線等を配置すると、信号配線を伝搬する電気信号によってビット線にノイズが発生する。ノイズの発生を防止するために、従来、メモリセル領域の上方には、信号配線等を配置しないような設計がなされていた。

【0003】

半導体記憶装置の大容量化が進むにしたがってメモリセル領域が広くなると、信号配線を配置できない領域も広くなる。必要な信号配線を配置するために、チップ面積を大きくするか、または配線層の層数を増やす必要がある。

【0004】

ビット線の上に信号配線を配置しても、両者の間にシールド層を配置することにより、ビット線へのノイズの発生を防止することができる。

【0005】

【発明が解決しようとする課題】

導電性のシールド層と層間絶縁膜とは、相互に熱膨張率が異なる。シールド層は、他の配線に比べて広い領域を覆うため、シールド層の端に大きな応力が加わり、歩留まり低下の要因になる。

【0006】

本発明の目的は、メモリセル領域の上方に信号配線を配置しても歩留まりを高く維持することが可能な半導体記憶装置を提供することである。

【0007】

【課題を解決するための手段】

本発明の一観点によると、半導体基板の表面上に形成された複数のメモリセルと、前記半導体基板の表面上に形成された複数のワード線であって、該ワード線の各々が複数のメモリセルに接続され、選択信号が印加されると、接続されているメモリセルを選択するワード線と、前記ワード線の配置された第1の配線層よりも上の第2の配線層に配置され、前記ワード線と交差する方向に延在する複数のビット線であって、複数のメモリセルのうち一部のメモリセルに接続され、前記ワード線によって選択されたメモリセルから読み出された信号が印加されるビット線と、前記第2の配線層よりも上の第3の配線層に配置され、前記ビット線と部分的に重なる信号配線と、前記第2の配線層と前記第3の配線層との間の第4の配線層に配置され、前記半導体基板の表面に垂直な視線で見たとき、前記ビット線と前記信号配線との重なる部分を含む第1の領域内において、前記ビット線を内包し、該ビット線の配置されていない領域に開口が設けられた導電性のシールド層とを有する半導体記憶装置が提供される。

【 0 0 0 8 】

本発明の他の観点によると、半導体基板の表面上に形成された複数のメモリセルと、前記半導体基板の表面上に形成された複数のワード線であって、該ワード線の各々が複数のメモリセルに接続され、選択信号が印加されると、接続されているメモリセルを選択するワード線と、前記ワード線の配置された第1の配線層よりも上の第2の配線層に配置され、前記ワード線と交差する方向に延在する複数のビット線であって、複数のメモリセルのうち一部のメモリセルに接続され、前記ワード線によって選択されたメモリセルから読み出された信号が印加されるビット線と、前記第2の配線層よりも上の第3の配線層に配置され、前記ビット線と交差する複数の信号配線と、前記第2の配線層と前記第3の配線層との間の第4の配線層に、前記信号配線の各々に対応して配置され、半導体基板の表面に垂直な視線で見たとき、対応する前記信号配線を内包する導電性のシールド線とを有する半導体記憶装置が提供される。

【 0 0 0 9 】

シールド層またはシールド線が、信号配線を伝搬する電気信号に起因してビット線に誘起されるノイズを低減させる。シールド層に開口が形成されているため、シールド層と層間絶縁膜との熱膨張率の相違によって発生する応力の集中を軽減することができる。また、メモリセルの配置された領域全面を覆う代わりに、細かいシールド線を配置することにより、応力の集中を軽減することができる。

【 0 0 1 0 】

【発明の実施の形態】

図1に、本発明の実施例による半導体記憶装置の1つのメモリセルの等価回路図を示す。6個のMOSトランジスタ $Q_1 \sim Q_6$ で1個のメモリセルが構成される。pチャネルMOSトランジスタ Q_1 とnチャネルMOSトランジスタ Q_2 とが相互に直列に接続され、インバータ INV_1 を構成し、pチャネルMOSトランジスタ Q_3 とnチャネルMOSトランジスタ Q_4 とが相互に直列に接続され、インバータ INV_2 を構成している。

【 0 0 1 1 】

MOSトランジスタ Q_1 と Q_2 とのゲート電極が相互に接続され、さらにMOS

トランジスタ Q_3 と Q_4 との相互接続点（インバータ INV_2 の出力点）に接続されている。同様に、MOSトランジスタ Q_3 と Q_4 とのゲート電極が相互に接続され、さらにMOSトランジスタ Q_1 と Q_2 との相互接続点（インバータ INV_1 の出力点）に接続されている。

【0012】

MOSトランジスタ Q_1 及び Q_3 のソース電極が、電源配線 V_{cc} に接続され、MOSトランジスタ Q_2 及び Q_4 のソース電極が、接地配線 GND に接続されている。インバータ INV_1 の出力点が、 n チャネルMOSトランジスタ Q_5 を介してビット線 BL に接続され、インバータ INV_2 の出力点が、 n チャネルMOSトランジスタ Q_6 を介して反転ビット線 XBL に接続されている。MOSトランジスタ Q_5 及び Q_6 のゲート電極が、同一のワード線 WL に接続されている。

【0013】

ビット線 BL と反転ビット線 XBL とは相互に平行に配置され、1本のビット線 BL と1本の反転ビット線 XBL とが1つのビット線対を構成する。ビット線対及びワード線 WL は、それぞれ複数配置され、相互に交差する。各交差箇所に、メモリセルが配置される。複数のワード線 WL は、ワード線ドライバ1に接続され、複数のビット線 BL 及び反転ビット線 XBL は、センスアンプ2に接続されている。

【0014】

ワード線 WL に選択信号が印加されると、そのワード線 WL に接続されたメモリセルが選択される。選択されているメモリセルに記憶されている情報が、そのメモリセルに接続されているビット線 BL 及び反転ビット線 XBL に読み出され、センスアンプ2まで伝搬する。

【0015】

図2に、1つのメモリセルの概略平面図を示す。図2（A）に示したメモリセルと同一または線対称のパターンを有する複数のメモリセルが、図2（A）の行方向及び列方向に繰り返し配置されている。1つのメモリセル領域5内に、4つの活性領域10～13が画定されている。活性領域10及び11は、 n 型ウェル内に配置され、活性領域12及び13は、 p 型ウェル内に配置されている。第1

のゲート電極15が、活性領域10及び活性領域12を横切り、第2のゲート電極16が、活性領域11及び13を横切る。

【0016】

活性領域10と第1のゲート電極15との交差箇所にpチャネルMOSトランジスタ Q_1 が形成され、活性領域12と第1のゲート電極15との交差箇所にnチャネルMOSトランジスタ Q_2 が形成される。活性領域11と第2のゲート電極16との交差箇所にpチャネルMOSトランジスタ Q_3 が形成され、活性領域13と第2のゲート電極16との交差箇所にnチャネルMOSトランジスタ Q_4 が形成される。

【0017】

ワード線WLが、活性領域12及び13を横切る。ワード線WLと活性領域12との交差箇所にnチャネルMOSトランジスタ Q_5 が形成され、ワード線WLと活性領域13との交差箇所にnチャネルMOSトランジスタ Q_6 が形成される。MOSトランジスタ Q_2 のドレイン領域とMOSトランジスタ Q_5 のドレイン領域とが相互に共有され、MOSトランジスタ Q_4 のドレイン領域とMOSトランジスタ Q_6 のドレイン領域とが相互に共有されている。

【0018】

第1層目の配線層に配置された第1の相互接続線18が、MOSトランジスタ Q_1 のドレイン領域とMOSトランジスタ Q_2 のドレイン領域とを相互に接続する。さらに、第1の相互接続線18は、第2のゲート電極16に接続されている。第2の相互接続線19が、MOSトランジスタ Q_3 のドレイン領域とMOSトランジスタ Q_4 のドレイン領域とを相互に接続する。さらに、第2の相互接続線19は、第1のゲート電極15に接続されている。

【0019】

MOSトランジスタ $Q_1 \sim Q_4$ のソース領域に、それぞれ上層の配線と接続するためのビアホール $H_1 \sim H_4$ が配置されている。MOSトランジスタ Q_5 及びMOSトランジスタ Q_6 のソース領域に、それぞれ上層の配線と接続するためのビアホール H_5 及び H_6 が配置されている。

【0020】

図2 (B) に第2層目以上の配線層の概略平面図を示す。第2層目の配線層に、電源配線Vcc及び接地配線GNDが配置されている。電源配線Vccは、ビアホールH₁及びH₃を介して、それぞれMOSトランジスタQ₁のソース領域及びMOSトランジスタQ₃のソース領域に接続されている。接地配線GNDは、ビアホールH₂及びH₄を介して、それぞれMOSトランジスタQ₂のソース領域及びMOSトランジスタQ₄のソース領域に接続されている。

【0021】

第3層目の配線層に、ビット線BL及び反転ビット線XBLが配置されている。ビット線BLは、ビアホールH₅を介してMOSトランジスタQ₅のソース領域に接続されている。反転ビット線XBLは、ビアホールH₆を介してMOSトランジスタQ₆のソース領域に接続されている。ビット線BL及び反転ビット線XBLは、ワード線WLと直交する方向(図2 (B) の縦方向)に延在する。

【0022】

第4層目の配線層に、開口25が設けられた導電性のシールド層が配置されている。開口25は、ビット線BL及び反転ビット線XBLと重ならない領域に配置されている。図2 (B) では、メモリセル領域5の縁と、接地配線GNDとの交差する部分に開口25が配置されている例を示している。メモリセル領域5のうち開口25の配置されていない領域は、シールド層で覆われている。

【0023】

第5層目の配線層に、後述する信号配線(図2 (B) では図示を省略)が形成される。

図3に、図2 (A) 及び図2 (B) の一点鎖線A3-A3における断面図を示す。シリコン基板30の表層部に、シャロートレンチアイソレーションによる素子分離絶縁膜31が形成され、活性領域が画定されている。この活性領域内にMOSトランジスタQ₆が形成されている。MOSトランジスタQ₆は、ソース領域S₆、ドレイン領域D₆、ゲート電極G₆を含んで構成される。ワード線WLの一部がゲート電極G₆を兼ねる。ワード線WLは、例えば多結晶シリコン層と高融点金属のシリサイド層との2層構造を有する。

【0024】

シリコン基板 30 の表面上に多層配線層が形成されている。この多層配線層は、周知の成膜方法、フォトリソグラフィ、エッチング、化学機械研磨 (CMP) 等を用いて形成することができる。配線は、アルミニウムまたは銅等で形成される。銅配線は、ダマシン法またはデュアルダマシン法により形成される。

【0025】

第1層目に、第2の相互接続線 19 が配置されている。第2の相互接続線 19 は、タングステンからなる導電性のプラグを介して MOS トランジスタ Q_6 のドレイン領域 D_6 に接続されている。第2層目に、接地配線 GND が配置されている。ワード線 WL の上方に、ワード線 WL に沿って補助ワード線 WLA が配置されている。補助ワード線 WLA は、複数の位置でプラグを介してワード線 WL に接続されており、ワード線 WL の実効的な抵抗を下る効果を奏する。

【0026】

第3層目に、反転ビット線 XBL が配置されている。反転ビット線 XBL は、ビアホール H_6 内に充填された導電性のプラグや、下層の配線層に配置された導電性の中間層を介して、MOS トランジスタ Q_6 のソース領域 S_6 に接続されている。第4層目に、シールド層 24 が配置されている。シールド層 24 は、接地配線 GND、または図 2 (B) に示した電源配線 Vcc に接続されている。なお、シールド層 24 を、シリコン基板上に形成された定電圧発生回路に接続し、シールド層 24 に一定の電圧を印加するようにしてもよい。

【0027】

第1層目から第3層目までの配線層の各配線の厚さは 600 nm であり、第4層目の配線層の各配線の厚さは 900 nm である。また、配線層間の絶縁膜の厚さは 800 nm である。

【0028】

図 4 に、複数のメモリセル領域 5 を含む平面図を示す。なお、図 4 では、第3層目の配線層及びそれよりも上方の配線層のパターンが表されている。メモリセル領域 5 が行列状に配置されている。メモリセル領域 5 の各列に対応して、ビット線 BL 及び反転ビット線 XBL が配置されている。シールド層 24 が、ビット線 BL 及び反転ビット線 XBL と重なるように配置されている。シールド層 24

に設けられた開口25は、相互に行方向に隣接する2つのメモリセル領域5の境界線に沿って、ビット線BL及び反転ビット線XBLと重ならないように配置されている。

【0029】

シールド層24よりも上の第5層目の配線層に、複数の信号配線26が配置されている。信号配線26は、ビット線BL及び反転ビット線XBLと交差する方向に延在し、シールド層24に設けられた開口25と重ならない位置に配置されている。

【0030】

基板の表面に垂直な視線で見たとき、複数の信号配線26が、複数のビット線BL及び反転ビット線XBLと交差する領域を含むある領域内において、シールド層24は、ビット線BL及び反転ビット線XBLを内包する。ビット線BLや反転ビット線XBLと、信号配線26との間に、一定の電位に固定されたシールド層24が配置されている。このため、ビット線BL及び反転ビット線XBLが、信号配線26を伝搬する電気信号の影響を受けにくい。これにより、ビット線BLや反転ビット線XBLに発生するノイズを低減することができる。

【0031】

また、シールド層24に開口25が設けられているため、シールド層24と層間絶縁膜との熱膨張率の相違に起因して発生する応力の集中を緩和することができる。これにより、歩留まりの低下を回避することができる。

【0032】

信号配線26を伝搬する電気信号に起因してビット線BLや反転ビット線XBLに誘起されるノイズを低減させるためには、少なくとも信号配線26とビット線BLとの交差箇所及び信号配線26と反転ビット線XBLとの交差箇所にシールド層24を配置することが好ましい。信号配線26が通過しないメモリセル領域5内においては、必ずしもビット線BLや反転ビット線XBLをシールド層で覆う必要はない。

【0033】

図5に、第1の実施例の変形例による半導体記憶装置の概略平面図を示す。図

4に示した第1の実施例では、相互に行方向に隣接する2つのメモリセル領域5の境界線のすべてに対応して、開口25が配置されていた。変形例においては、境界線のすべてではなく、一部にのみ対応して開口25が配置されている。例えば、メモリセル領域5の1つの行に着目すると、行方向に並ぶ境界線上に、一つおきに開口25が配置されている。なお、相互に隣接する2つの行に関しては、相互に異なる列に開口25が配置されている。

【0034】

このように、開口25は、応力の集中を緩和するために必要な密度で配置すればよい。

図6に、第2の実施例による半導体記憶装置の概略平面図を示す。メモリセル領域5、ビット線BL、及び反転ビット線XBLの配置は、図4に示した第1の実施例による半導体記憶装置のこれらの配置と同様である。メモリセル領域5の各行に対応して、信号配線26が配置されている。なお、信号配線26の配置される位置に格別の意味はなく、図4に示した第1の実施例の場合のように、列方向に隣接する2つのメモリセル領域5の境界の位置に信号配線26を配置してもよい。

【0035】

ビット線BLと反転ビット線XBLが配置された第3層目の配線層と、信号配線26が配置された第5層目の配線層との間の第4層目の配線層に、シールド線24Aが配置されている。シールド線24Aは、信号配線26に対応して配置され、シリコン基板の表面に垂直な視線で見たとき、対応する信号配線26を内包する。すなわち、シールド線24Aは、対応する信号配線26よりも太い。シールド線24Aは、第1の実施例のシールド層24と同様に、接地配線GND、電源配線Vccに接続されるか、または定電圧発生回路に接続されている。

【0036】

第2の実施例の場合にも、ビット線BLと信号配線26との間、及び反転ビット線XBLと信号配線26との間に、電位が固定されたシールド配線24Aが配置されているため、ビット線BLや反転ビット線XBLに誘起されるノイズを低減させることができる。

【 0 0 3 7 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 3 8 】

【発明の効果】

以上説明したように、本発明によれば、ビット線と信号配線との間の配線層にシールド層を配置することにより、信号配線を伝搬する電気信号に起因してビット線に誘起されるノイズを低減させることができる。また、シールド層に適当な密度で開口を設けることにより、またはシールド層を細い配線パターンとすることにより、シールド層に発生する応力を緩和することができる。

【図面の簡単な説明】

【図 1】 半導体記憶装置の一つのメモリセルの等価回路図である。

【図 2】 第 1 の実施例による半導体記憶装置の一つのメモリセル領域の概略平面図である。

【図 3】 第 1 の実施例による半導体記憶装置の 1 つのメモリセルの断面図である。

【図 4】 第 1 の実施例による半導体記憶装置の第 3 層目及びその上の配線層を示す平面図である。

【図 5】 第 1 の実施例の変形例による半導体記憶装置の第 3 層目及びその上の配線層を示す平面図である。

【図 6】 第 2 の実施例による半導体記憶装置の第 3 層目及びその上の配線層を示す平面図である。

【符号の説明】

- 1 ワード線ドライバ
- 2 センスアンプ
- 5 メモリセル領域
- 10、11、12、13 活性領域
- 15、16 ゲート電極

1 8、1 9 相互接続線

2 4 シールド層

2 4 A シールド線

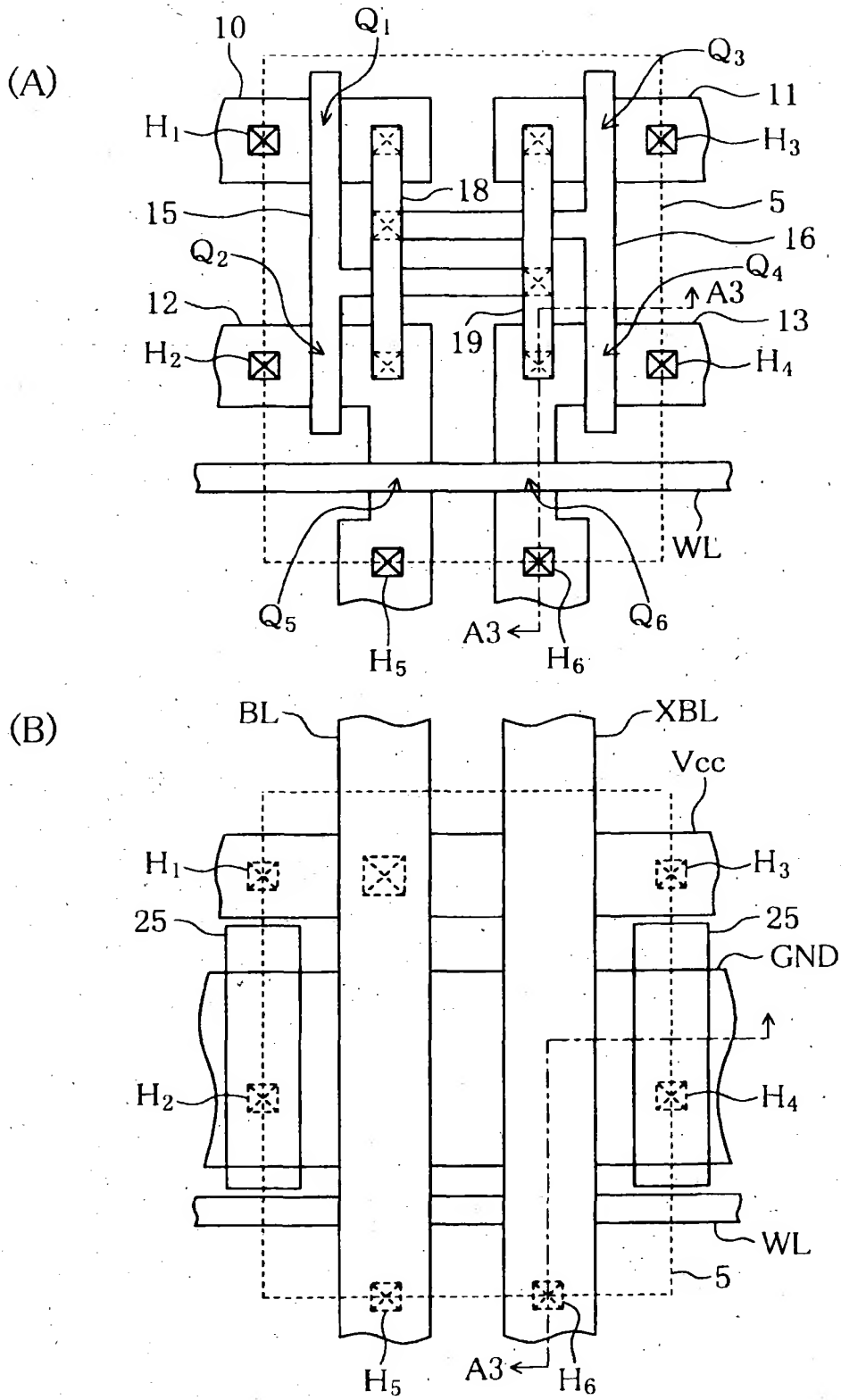
2 5 開口

2 6 信号配線

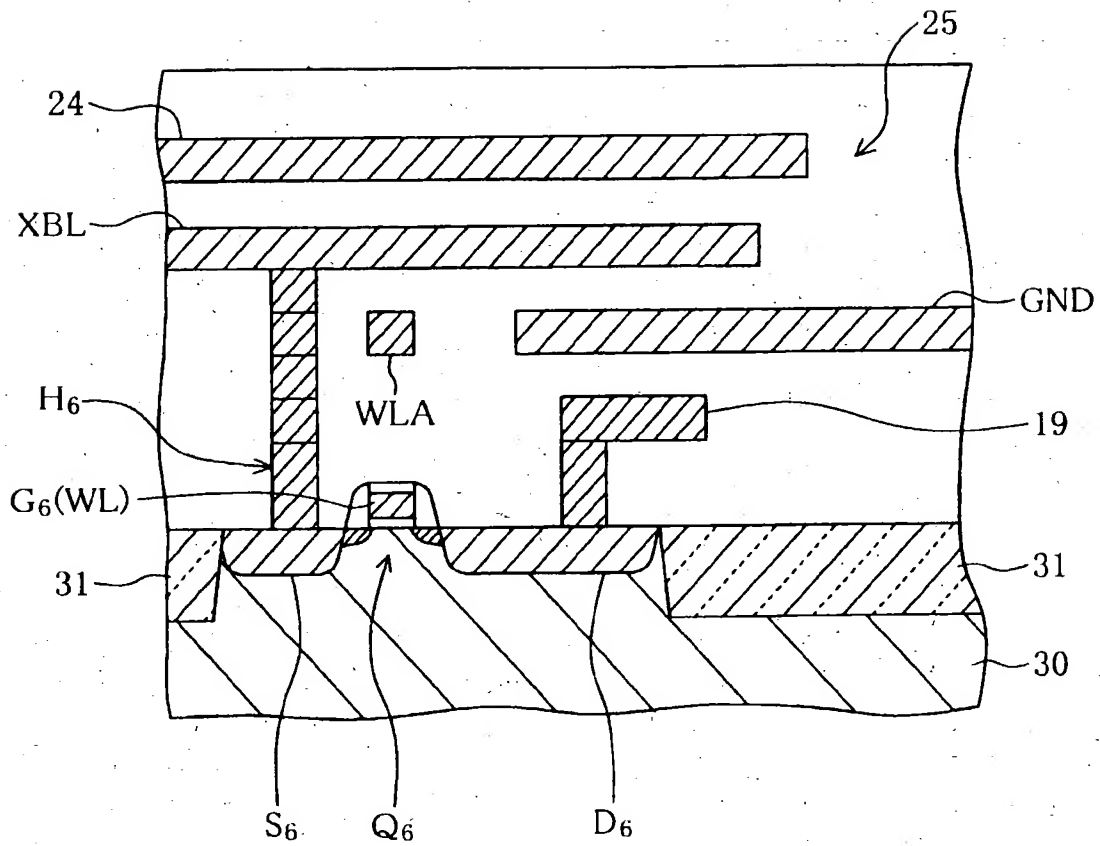
3 0 シリコン基板

3 1 素子分離絶縁膜

【図2】

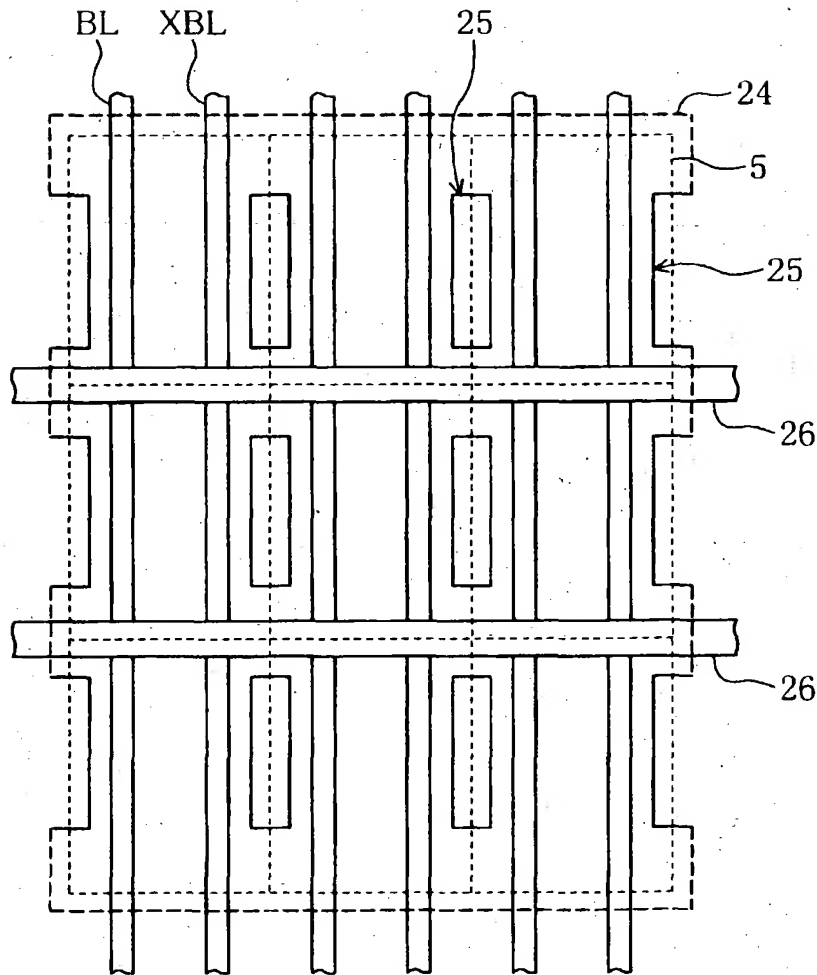


【図 3】



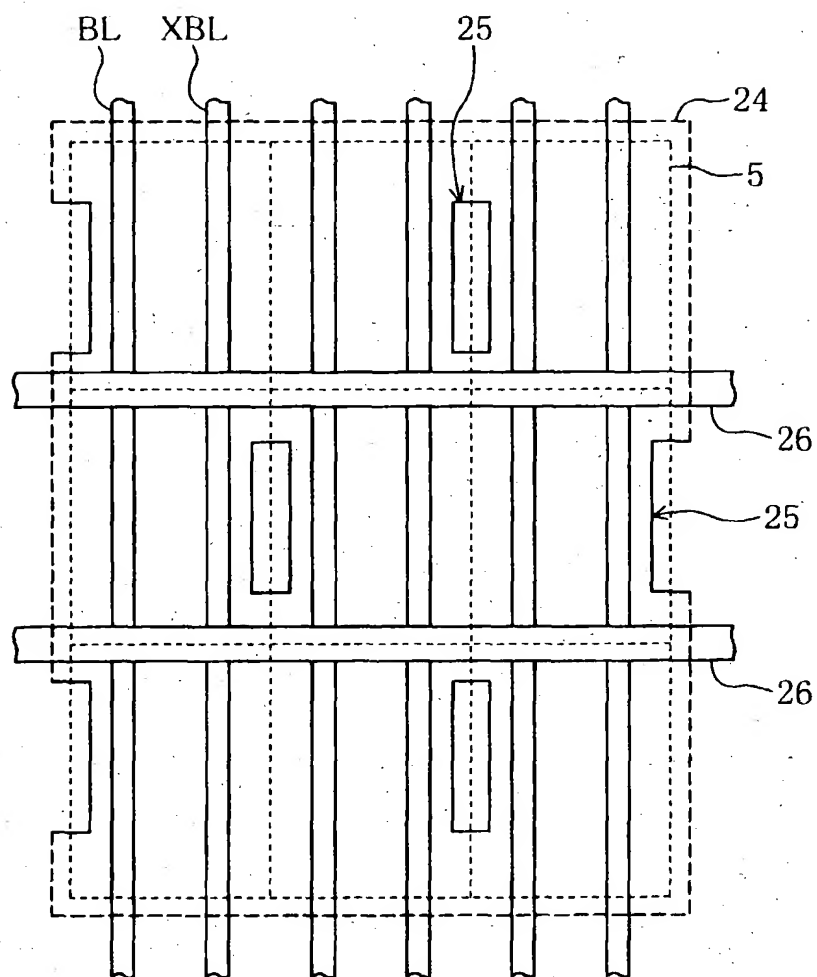
【図4】

第1の実施例



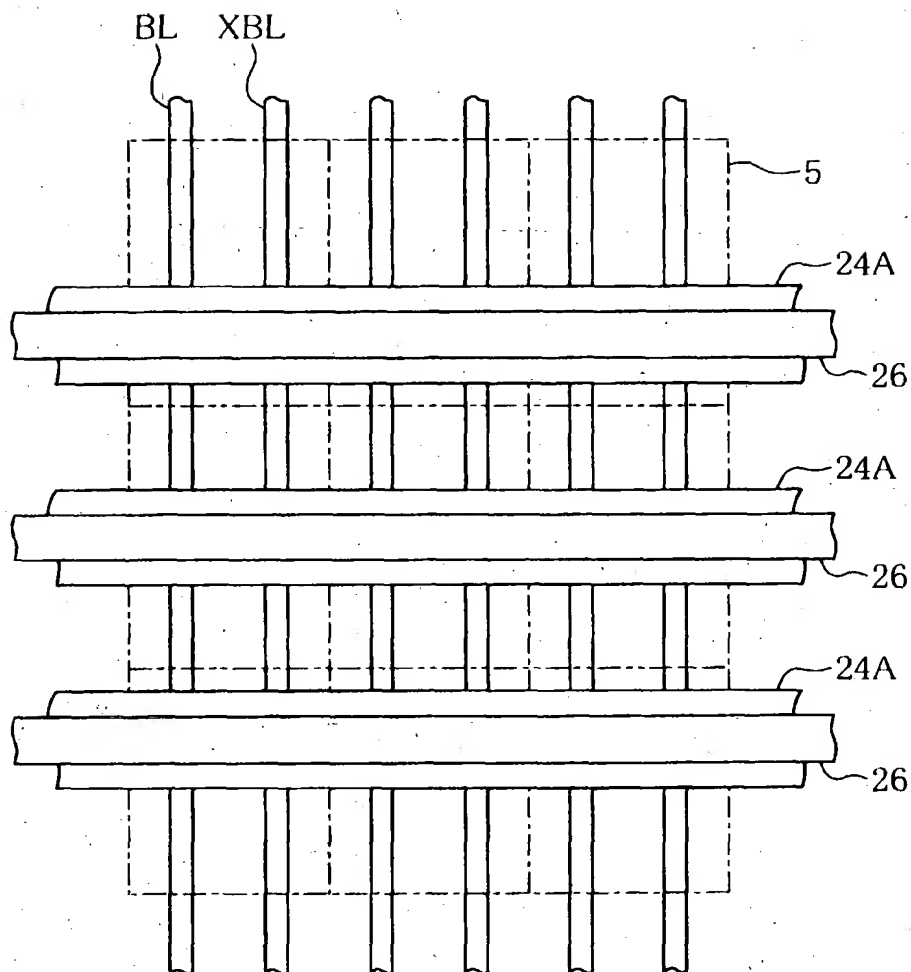
【図 5】

第1の実施例の変形例



【図6】

第2の実施例



【書類名】 要約書

【要約】

【課題】 メモリセル領域の上方に信号配線を配置しても歩留まりを高く維持することが可能な半導体記憶装置を提供する。

【解決手段】 半導体基板の表面上に複数のメモリセル、ワード線、及びビット線が形成されている。ワード線の各々は、複数のメモリセルに接続され、接続されているメモリセルを選択する。ビット線は、ワード線の配置された配線層よりも上配線層に配置され、複数のメモリセルのうち一部のメモリセルに接続され、ワード線によって選択されたメモリセルから読み出された信号が印加される。ビット線よりも上の配線層に信号配線が配置されている。信号配線は、ビット線と部分的に重なる。ビット線と信号配線との間の配線層にシールド層が配置されている。半導体基板の表面に垂直な視線で見たとき、シールド層は、ビット線と信号配線との重なる部分を含む領域内において、ビット線を内包し、ビット線の配置されていない領域に開口が設けられている。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社